

Docket No.: 60188-601

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277
: :
Shiro SAKIYAMA, et al. : :
: :
Serial No.: : Group Art Unit:
: :
Filed: July 31, 2003 : Examiner:
: :
For: CELL LIBRARY DATABASE AND TIMING VERIFICATION AND WITHSTAND VOLTAGE
VERIFICATION SYSTEMS FOR INTEGRATED CIRCUIT USING THE SAME

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

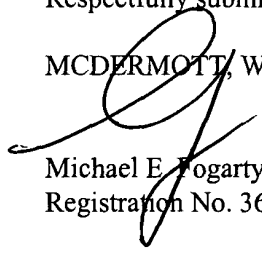
In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2002-240196, filed August 21, 2002,

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:km
Facsimile: (202) 756-8087
Date: July 31, 2003



日 本 国 特 許 庁
JAPAN PATENT OFFICE

60188-601
Shiro Sakiyama, et al
July 31, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月21日

出 願 番 号

Application Number:

特願2002-240196

[ST.10/C]:

[JP 2002-240196]

出 願 人

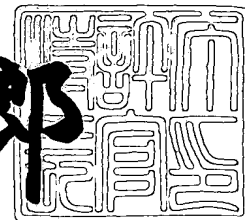
Applicant(s):

松下電器産業株式会社

2003年 4月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3030347



【書類名】 特許願

【整理番号】 2037640011

【提出日】 平成14年 8月21日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 17/50
G06F 15/60

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
 会社内

 【氏名】 崎山 史朗

【発明者】

 【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
 会社内

 【氏名】 望月 浩二

【特許出願人】

 【識別番号】 000005821

 【氏名又は名称】 松下電器産業株式会社

【代理人】

 【識別番号】 100077931

 【弁理士】

 【氏名又は名称】 前田 弘

【選任した代理人】

 【識別番号】 100094134

 【弁理士】

 【氏名又は名称】 小山 廣毅

【選任した代理人】

 【識別番号】 100110939

 【弁理士】

 【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 セルライブラリデータベース、並びにこれを用いた集積回路のタイミング検証システム及び耐電圧検証システム

【特許請求の範囲】

【請求項 1】 各種論理を実現する複数種類の基本回路からなるセルライブラリデータベースにおいて、

前記基本回路が有する入力端子及び出力端子からなる複数の情報端子のうち少なくとも 1 つの情報端子に与えられ、同一ノードの各種電圧状態を複数ビットで表現した電圧値情報と、

前記電圧値情報を有する情報端子を含めた前記入出力端子間の論理情報とを有する

ことを特徴とするセルライブラリデータベース。

【請求項 2】 前記複数ビットで表現した電圧値情報を有する情報端子は、電源端子である

ことを特徴とする請求項 1 記載のセルライブラリデータベース。

【請求項 3】 前記複数ビットで表現した電圧値情報を有する情報端子は、デジタル入力端子又はデジタル出力端子である

ことを特徴とする請求項 1 記載のセルライブラリデータベース。

【請求項 4】 前記複数ビットで表現した電圧値情報を有する情報端子は、アナログ入力端子又はアナログ出力端子である

ことを特徴とする請求項 1 記載のセルライブラリデータベース。

【請求項 5】 更に、前記入出力端子間の論理変化に対応する論理遅延情報を有する

ことを特徴とする請求項 1、2、3 又は 4 記載のセルライブラリデータベース。

【請求項 6】 更に、前記基本回路毎に耐電圧情報を有する

ことを特徴とする請求項 1、2、3、4 又は 5 記載のセルライブラリデータベース。

【請求項 7】 各種論理を実現する複数種類の基本回路からなる集積回路のタ

イミング検証システムであって、

前記基本回路毎に、

前記基本回路が有する入力端子及び出力端子からなる複数の情報端子のうち少なくとも1つの情報端子に与えられ、複数ビットで表現した電源の電圧値情報と

前記電源の電圧値情報を有する情報端子を含めた前記入出力端子間の論理情報と、

前記論理情報の入出力端子間の論理変化に対応する論理遅延情報とを有するセルライブラリデータベースを備え、

前記セルライブラリデータベースが備える各基本回路の前記電源の電圧値情報を有する情報端子からの電圧値情報に対応した前記論理遅延情報に基づいて、論理遅延計算を行って、タイミング検証を行う

ことを特徴とする集積回路のタイミング検証システム。

【請求項8】 各種論理を実現する複数種類の基本回路からなる集積回路の耐電圧検証システムであって、

前記各基本回路毎に、

前記基本回路が有する入力端子及び出力端子からなる複数の情報端子のうち少なくとも1つの情報端子に与えられ、同一ノードの各種電圧状態を複数ビットで表現した電圧値情報と、

前記基本回路の耐電圧情報とを有するセルライブラリデータベースを備え、

前記電圧値情報を有する情報端子からの電圧値情報と前記耐電圧情報とを比較して、耐電圧検証を行う

ことを特徴とする集積回路の耐電圧検証システム。

【請求項9】 前記複数ビットで表現した電圧値情報を有する情報端子は、電源端子である

ことを特徴とする請求項8記載の集積回路の耐電圧検証システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体集積回路等の論理回路の設計支援（CAD； Computer Aided Design）において使用されるセルライブラリデータベース、及びこのセルライブラリデータベースを用いた設計支援装置に関し、特に、論理検証や、遅延等のタイミング検証、故障解析、並びにソフトウェア開発用ツールなどに用いられる論理検証に好適なセルライブラリデータベース並びに集積回路のタイミング検証システム及び耐電圧検証システムに関する。

【 0 0 0 2 】

【従来の技術】

一般に、半導体集積回路等の論理回路の設計支援（CAD）において、その設計支援に用いるセルライブラリのデータベースとして、従来、図 7（a）に示すようなシンボルと、同図（b）に示すような論理情報と、同図（c）に示すような論理遅延情報とを持つデータベース構造が採られていた。同図（a）のシンボルは、論理積を表すロジック（以下NANDゲートと呼ぶ）であり、このNANDゲートの入出力の関係を表す論理情報が同図（b）に、また入力信号変化から出力信号変化までの論理遅延情報が同図（c）に示される。一般に、複数の多種多様なゲートから構成された半導体集積回路の論理設計では、図 7（b）の真理値表に従った論理検証や、同図（c）で示されるような論理遅延情報を用いて論理遅延の合計値が所定の一定時間内に収まるかどうかを調べるタイミング検証が行われる。

【 0 0 0 3 】

しかし、近年、半導体集積回路の微細化に伴ってトランジスタの閾値電圧が低電圧になると、待機時でのリーク電流の増大が大きな問題となる。そこで、従来、待機時に電源供給をカットすることにより電源リーク電流をカットする、待機時の低消費電力化技術が提案されている。このような電源供給をオン/オフさせる技術を用いた半導体集積回路の論理検証を行う場合に、図 7 に示すライブラリのデータベース構造を用いると、以下のような問題が発生する。1 つ目は、電源が入力されていないときまで図 7（b）の真理値表に従った論理が出力されてしまうため、電源管理を含めたトータルな論理検証ができない問題である。2 つ目は、一般に、電源の立ち上がり時の入出力信号間の論理遅延時間は、通常の入出

力信号間の遅延時間と異なるものの、電源が安定供給されている場合の遅延時間情報しか持たないため、電源立ち上がり時の入出力信号間の遅延時間を考慮した正確なタイミング検証ができない問題である。

【 0 0 0 4 】

前記問題に対し、本出願人は、特開 2 0 0 0 - 3 0 5 9 6 1 号公報において、次のデータベース構造を提案している。このデータベース構造は、各セルライブラリのデータベース毎に電源を入力情報として持し、この電源の電圧情報と各種入力信号情報との論理からなる。このデータベース構造を図 8 を用いて簡単に説明する。同図 (a) は、NANDゲートのシンボルを示す。図 7 (a) と比較して、図 8 (a) では、電源の入力情報 V が追加されている。また、図 8 (b) に示すように、電源 V が L (非供給) のときには、出力 Y は X (不定) となるように、電源電圧情報 V を含んだ論理情報がデータベース化されている。また、同図 (c) に示した論理遅延情報では、図 7 (c) と比較して、電源電圧情報 V が変化したときの遅延時間 VY_{ns} が追加されている。この本出願人提案のセルライブラリのデータベースを用いれば、電源のオン/オフ情報に応じた論理情報や、電源入力に変化した時の出力 Y の論理遅延情報を持っているので、電源供給をオン/オフさせる技術を用いた半導体集積回路の論理検証や、タイミング検証を行うことが可能である。

【 0 0 0 5 】

【発明が解決しようとする課題】

ところで、近年では、半導体集積回路の更なる低消費電力化の要求から、回路の動作時にも電源電圧と動作周波数 (クロック周波数) を動的に変更することにより、動作をより低消費電力で行わせることを目的とした可変電源技術が提案されている。

【 0 0 0 6 】

しかしながら、このような可変電源技術を適用された半導体集積回路に対する論理検証やタイミング検証を行う際には、前記本出願人提案の技術では以下のような問題が生じる。すなわち、一般的にセルライブラリの論理遅延情報は電源電圧値によって異なるものの、図 8 (c) に示したように論理遅延情報は 1 つの電

源電圧値に対する遅延情報しか持たず、しかも論理情報として電源電圧値の情報を伝えることができないために、電源電圧値の動的な変更に応じたタイミング検証ができない。更に、前記可変電源技術では、種々の電源電圧を与えてしまう場合があるため、各種セルライブラリの耐電圧検証を行う必要性が生じる。

【0007】

本発明の目的は、前記課題に鑑み、電源オン/オフ技術だけでなく、可変電源技術等の今後の半導体集積回路の設計環境にも柔軟に対応できて、それが適用された半導体集積回路に対しても良好に論理検証やタイミング検証、更には素子耐電圧検証等ができるセルライブラリデータベース構造を提供することにある。

【0008】

【課題を解決するための手段】

以上の目的を達成するため、本発明では、基本セルが備える複数の情報端子のうち、少なくとも1つの情報端子に対して、同一ノードに可変に与えられる電圧値の情報を付加することとする。

【0009】

すなわち、請求項1記載の発明のセルライブラリデータベースは、各種論理を実現する複数種類の基本回路からなるセルライブラリデータベースにおいて、前記基本回路が有する入力端子及び出力端子からなる複数の情報端子のうち少なくとも1つの情報端子に与えられ、同一ノードの各種電圧状態を複数ビットで表現した電圧値情報と、前記電圧値情報を有する情報端子を含めた前記入出力端子間の論理情報とを有することを特徴とする。

【0010】

請求項2記載の発明は、前記請求項1記載のセルライブラリデータベースにおいて、前記複数ビットで表現した電圧値情報を有する情報端子は、電源端子であることを特徴とする。

【0011】

請求項3記載の発明は、前記請求項1記載のセルライブラリデータベースにおいて、前記複数ビットで表現した電圧値情報を有する情報端子は、デジタル入力端子又はデジタル出力端子であることを特徴とする。

【 0 0 1 2 】

請求項 4 記載の発明は、前記請求項 1 記載のセルライブラリデータベースにおいて、前記複数ビットで表現した電圧値情報を有する情報端子は、アナログ入力端子又はアナログ出力端子であることを特徴とする。

【 0 0 1 3 】

請求項 5 記載の発明は、前記請求項 1、2、3 又は 4 記載のセルライブラリデータベースにおいて、更に、前記入出力端子間の論理変化に対応する論理遅延情報を有することを特徴とする。

【 0 0 1 4 】

請求項 6 記載の発明は、前記請求項 1、2、3、4 又は 5 記載のセルライブラリデータベースにおいて、更に、前記基本回路毎に耐電圧情報を有することを特徴とする。

【 0 0 1 5 】

請求項 7 記載の発明の集積回路のタイミング検証システムは、各種論理を実現する複数種類の基本回路からなる集積回路のタイミング検証システムであって、前記基本回路毎に、前記基本回路が有する入力端子及び出力端子からなる複数の情報端子のうち少なくとも 1 つの情報端子に与えられ、複数ビットで表現した電源の電圧値情報と、前記電源の電圧値情報を有する情報端子を含めた前記入出力端子間の論理情報と、前記論理情報の入出力端子間の論理変化に対応する論理遅延情報とを有するセルライブラリデータベースを備え、前記セルライブラリデータベースが備える各基本回路の前記電源の電圧値情報を有する情報端子からの電圧値情報に対応した前記論理遅延情報に基づいて、論理遅延計算を行って、タイミング検証を行うことを特徴とする。

【 0 0 1 6 】

請求項 8 記載の発明の集積回路の耐電圧検証システムは、各種論理を実現する複数種類の基本回路からなる集積回路の耐電圧検証システムであって、前記各基本回路毎に、前記基本回路が有する入力端子及び出力端子からなる複数の情報端子のうち少なくとも 1 つの情報端子に与えられ、同一ノードの各種電圧状態を複数ビットで表現した電圧値情報と、前記基本回路の耐電圧情報とを有するセルラ

イブラリデータベースを備え、前記電圧値情報を有する情報端子からの電圧値情報と前記耐電圧情報とを比較して、耐電圧検証を行うことを特徴とする。

【 0 0 1 7 】

請求項 9 記載の発明は、前記請求項 8 記載の集積回路の耐電圧検証システムにおいて、前記複数ビットで表現した電圧値情報を有する情報端子は、電源端子であることを特徴とする。

【 0 0 1 8 】

以上により、請求項 1 記載の発明のセルライブラリデータベースでは、少なくとも 1 つの情報端子に対して、同一ノードの電圧状態を複数ビットで表現した電圧値情報を与え、この情報端子を含めて入出力端子間の論理情報が記述されているので、デジタル設計環境において、電圧値情報を含めた論理検証が可能になる。

【 0 0 1 9 】

特に、請求項 2 記載の発明では、供給される電源電圧の情報に基づいた論理検証が可能である。

【 0 0 2 0 】

更に、請求項 3 記載の発明では、デジタル入力信号の電圧レベル、又はデジタル出力信号の電圧レベルを含めた論理検証が可能である。

【 0 0 2 1 】

加えて、請求項 4 記載の発明では、アナログの入力端子又は出力端子に対して、同一ノードの各種電圧状態を複数ビットで表現した電圧値情報を与えたので、アナログ回路とデジタル回路との混載回路でのアナログインターフェースを含めたトータルな論理検証が可能である。

【 0 0 2 2 】

また、請求項 5 記載の発明では、セルライブラリデータベースには、入出力信号間の論理変化に対応する論理遅延情報が備えられるので、タイミング検証が可能である。

【 0 0 2 3 】

更に、請求項 6 記載の発明では、セルライブラリデータベースには耐電圧情報

が備えられるので、耐電圧検証も可能である。

【 0 0 2 4 】

加えて、請求項 7 記載の発明では、各基本回路には、電源の電圧情報毎に論理遅延情報を持つので、可変電源技術を用いた半導体回路設計においても、動作時に電源電圧を動的に繰り返し変更した際のタイミング検証を良好に行うことが可能である。

【 0 0 2 5 】

また、請求項 8 記載の発明では、情報端子に与えられる電圧値情報を耐電圧情報と比較できるので、前記情報端子への入力信号、情報端子からの出力信号、又は前記情報端子に与えられる電源電圧を含めた耐電圧検証が可能である。

【 0 0 2 6 】

更に、請求項 9 記載の発明では、電源端子に供給される電源電圧値の情報が得られるので、可変電源技術を用いた半導体回路設計において、動作時に電源電圧が動的に変更された際の基本回路の電源電圧に対する耐電圧検証が可能である。

【 0 0 2 7 】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照しながら説明する。

【 0 0 2 8 】

（第 1 の実施の形態）

図 1 は本発明の第 1 の実施の形態のセルライブラリデータベースを示す。

【 0 0 2 9 】

図 1 において、同図（a）は基本回路の一例である NAND ゲートのセルライブラリのシンボルを示し、4 つの情報端子 A、B、Y、V を有し、情報端子 A 及び B はデジタル信号入力端子、情報端子 Y はデジタル信号出力端子、情報端子 V は電源電圧が入力される電源端子である。以下、これ等入力端子 A、B、V に入力される入力信号及び電源電圧信号、及び出力端子 Y からの出力信号も同端子に付した符号と同一の符号を付して説明する。図 1（a）に示した入力信号 A、B 及び電源電圧信号 V に対する論理の真理値表が同図（b）に示されている。また、NAND ゲートの入力信号 A、B、V の各種変化時から出力信号 Y が変化する

までの各種論理遅延情報が同図（c）に示されている。

【0030】

本実施の形態の特徴的な点は、同図（b）に示すように、電源端子V（同一ノード）に入力される各種電源電圧（例えば非入力、1.2V、1.5V、1.8V）を、電源電圧信号V[1:0]として複数ビット（本実施の形態では2ビット）で表現して電圧値を表わした電圧値情報を持つ点であり、この複数ビット表現は信号線が複数本存在することを意味するものではない。

【0031】

同図（b）では、電源電圧信号V[1:0]が入力される電源端子Vを含めて入力端子A、B、Vと出力端子Yとの間の論理情報が記載される。ここでは、電源電圧信号V[1:0]がLLのときは、電源電圧が入力されていない状態、すなわちハイインピーダンス入力状態（Hi-Z入力状態）を表す。また、電源電圧信号V[1:0]がLHのときは1.2Vの電源電圧が、同様に、電源電圧信号V[1:0]がHLのときは1.5Vの電源電圧が、電源電圧信号V[1:0]がHHのときは1.8Vの電源電圧が各々入力されていることを表している。

【0032】

同図（c）には、電源電圧信号V[1:0]で表される各電源電圧値別に、入力信号変化に対する出力Yの遅延値が示されている。例えば、電源電圧信号V[1:0]がLH（即ち、電源電圧が1.2V）の場合に、入力信号A、BがLHからHHに変化したときに、その入力信号の変化時から出力信号Yが変化するまでの遅延値がA1h（V1h）と記述されている。同様に、電源電圧信号V[1:0]がHH（即ち、電源電圧が1.8V）の場合に、入力信号A、BがLHからHHに変化したときに、その入力信号の変化時から出力信号Yが変化するまで遅延値がA1h（Vhh）と記述されている。

【0033】

このように、本実施の形態のセルライブラリデータベースでは、同図（c）に示すように、電源電圧信号Vを複数ビットV[1:0]で表現して電源電圧値を表したので、異なる電源電圧値別に、入出力信号間の論理変化に対する出力信号Yの論理遅延値を記述することが可能である。また、同図（c）に示すように、

各電源電圧値別に、電源電圧信号 $V[1:0]$ が LL から $\neq LL$ に変化した ($Hi-Z$ 状態から $1.2V$ 、 $1.5V$ 又は $1.8V$ の電圧供給状態に変化した) 場合の出力信号 Y の論理安定までの遅延時間 $Vst(Vlh)$ 、 $Vst(Vhl)$ 、 $Vst(Vhh)$ が記述される。更に、同図 (c) には、各電源電圧値別に、電源電圧信号 $V[1:0]$ が $\neq LL$ から LL に変化した ($1.2V$ 、 $1.5V$ 又は $1.8V$ の電圧供給状態から $Hi-Z$ 状態に変化した) 場合の出力信号 Y の論理不定までの遅延時間 $Voff(Vlh)$ 、 $Voff(Vhl)$ 、 $Voff(Vhh)$ が記述される。

【 0 0 3 4 】

尚、図 1 では、 $NAND$ ゲートを例示したが、前記内容は $NAND$ ゲート以外のゲート、例えばインバータや OR ゲート等のロジックゲート、フリップフロップ回路、 RAM 、 ROM 等の各種メモリーに対しても同様に適用できるのは勿論である。

【 0 0 3 5 】

(第 2 の実施の形態)

次に、本発明の第 2 の実施の形態のセルライブラリデータベースを示す。本実施の形態は基本回路として電圧変換セルを例示する。

【 0 0 3 6 】

図 2 において、同図 (a) は電圧変換セルのシンボルを示し、4 つの情報端子 $Req1$ 、 $Req0$ 、 Vi 及び V を持つ。前記情報端子 $Req1$ 、 $Req0$ は信号入力端子、情報端子 Vi は電源電圧が入力される電源端子、情報端子 V は電圧出力端子である。同図 (a) の入力信号 $Req1$ 、 $Req0$ 及び電源電圧信号 Vi に対する出力電圧値 $V[1:0]$ の真理値表が同図 (b) に示されている。また、同図 (c) には、電圧変換セルの入出力端子間の論理変化に対応する論理遅延情報、すなわち、入力信号 $Req1$ 、 $Req0$ 、 Vi の各種変化時から出力電圧 $V[1:0]$ が安定するまでの各種遅延情報が示されている。

【 0 0 3 7 】

図 2 (b) に示した論理情報では、電圧出力端子 $V[1:0]$ には、各種電圧状態 ($Hi-Z$ 状態、 $1.2V$ 、 $1.5V$ 、 $1.8V$) を 2 ビットで表現した電

圧値情報が与えられる。この論理情報に従えば、電源電圧信号 V_i が L (Hi-Z 状態) のときは、入力信号 Req_1 及び Req_0 の論理情報に拘わらず、出力電圧値 $V[1:0]$ は LL、すなわち Hi-Z 状態を出力していることを意味する。また、電源電圧信号 V_i が H (= 3 V) のときは、入力信号 Req_1 、 Req_0 の論理情報に応じて 4 種類の出力電圧状態を持つ。すなわち、入力信号 Req_1 、 Req_0 が LL のときは、出力電圧値 $V[1:0]$ は LL (Hi-Z 状態) を出力し、入力信号 Req_1 、 Req_0 が LH のときは出力電圧値 $V[1:0]$ は LH (1. 2 V) を出力し、入力信号 Req_1 、 Req_0 が HL のときは出力電圧値 $V[1:0]$ は HL (1. 5 V) を出力し、入力信号 Req_1 、 Req_0 が HH のときは出力電圧値 $V[1:0]$ は HH (1. 8 V) を出力していることを意味している。

【 0 0 3 8 】

同図 (c) では、入力信号 Req_1 、 Req_0 、 V_i の各種変化に対する出力電圧値 $V[1:0]$ の各種遅延値が示されている。ここでは、電圧変換セルの出力電圧値 $V[1:0]$ の状態変化の遅延値として、具体的に次の 5 種類の遅延値 V_{st} 、 V_{off} 、 V_{tr} 、 V_{ist} 、 V_{ioff} が用意される。

【 0 0 3 9 】

V_{st} : 電源 V_i が H (= 3 V) の電源入力状態で出力 $V[1:0]$ が Hi-Z 状態から一定電圧値になるまでの時間

V_{off} : 電源 V_i が H (= 3 V) の電源入力状態で出力 $V[1:0]$ が一定電圧値から Hi-Z 状態になるまでの時間

V_{tr} : 電源 V_i が H (= 3 V) の電源入力状態で出力 $V[1:0]$ が一定電圧値から他の一定電圧値に遷移するまでの時間

V_{ist} : 電源 V_i が非入力状態から入力状態に変化した時に出力 $V[1:0]$ が Hi-Z 状態から一定電圧値になるまでの時間

V_{ioff} : 電源 V_i が入力状態から非入力状態に変化した時に出力 $V[1:0]$ が一定電圧値から Hi-Z 状態になるまでの時間

例えば、遅延値 V_{st} に関して図 2 (c) を用いて詳細に説明すると、電源電圧信号 V_i が H で、入力信号 Req_1 、 Req_0 が LL から LH、HL 又は HH

に変化した時には、出力 $V[1:0]$ は H_i-Z 状態から $1.2V$ 、 $1.5V$ 又は $1.8V$ に変化するが、それらの状態変化が安定するまでの遅延時間は全て遅延値 V_{st} であることを意味する。ここでは、入力信号 $Req1$ 、 $Req0$ が L からその他の情報に変化する際の出力 $V[1:0]$ の安定までの遅延時間は、全て等しい遅延値 V_{st} と仮定したが、電圧変換回路の状態変化の実際の値に応じて各々個別の遅延時間を記述しておいても良い。ここでは、説明の簡単化のため、他の遅延値 V_{off} 、 V_{tr} 、 V_{ist} 、及び i_{off} に関しても、全て同様に代表値として示している。

【0040】

このように、本実施の形態のセルライブラリデータベース構造を用いれば、図1で示したように基本回路に入力される電源の電圧値だけでなく、基本回路の出力信号に対しても、同一ノードの各種電圧状態を出力 $V[1:0]$ のように複数ビットで表現することにより、出力信号の電圧値も記述することができる。

【0041】

(第3の実施の形態)

図3は本発明の第3の実施の形態の集積回路のタイミング検証システムを示す。

【0042】

本実施の形態は、図1に示したNANDセルのセルライブラリデータベースと、図2に示した電圧変換セルのセルライブラリデータベースとを用いて、電源電圧を任意に変化させる可変電源システムでのLSIのタイミング検証を行うものである。

【0043】

図3は、図1に示したNANDゲート1を2個と図2に示した電圧変換セル2を1個用いた集積回路である。同図は、3つの入力信号A、B、Cの論理情報に基づいて出力信号Yが得られるシステムであって、電圧変換セル2の出力電圧 $V[1:0]$ は電源電圧として2個のNANDゲート1に入力される。

【0044】

本実施の形態では、図1に示したNANDセルのセルライブラリデータベース

から判るように、各NANDセル1では、電圧変換セル2の出力V[1:0]からの電源電圧値の情報を得ることが可能である。従って、従来の図8に示したセルライブラリデータベースに基づくタイミング検証を行う場合のように、所定の電源電圧の下でのタイミング検証のみならず、電圧変換セル2から供給される各種の電源電圧値1.2V、1.5V、1.8Vに応じたタイミング検証を行うことが可能である。しかも、電圧変換セル2では、入力信号Req1、Req0の論理情報により、出力電圧V[1:0]の状態変化の遅延時間も同時にシミュレーションすることができる。従って、電源電圧を任意に変更しながら動作させる可変電源システムの下でのLSIのタイミング検証が可能である。

【0045】

(第4の実施の形態)

続いて、本発明の第4の実施の形態を説明する。

【0046】

図4は、基本回路であるDA変換セルのセルライブラリデータベースを示す。DA変換器とは、複数本のデジタル入力信号をアナログ電圧出力信号に変換する機能を持つ回路である。同図では、2ビットのデジタル入力信号D1、D0に対しアナログ電圧出力信号A[1:0]を出力する場合の動作記述例を示している。

【0047】

同図(a)はDA変換セルのシンボルを示し、4つの情報端子D1、D0、Vi、Aを有し、情報端子D1、D0はデジタル入力端子、情報端子Viは電源端子、情報端子Aはアナログ出力端子である。同図(b)は同図(a)のDA変換セルの論理情報を示し、同図(c)は電源電圧信号を含む入力信号D1、D0、Viの各種変化に対応するアナログ出力信号A[1:0]の変化の各種論理遅延情報を示している。

【0048】

同図(b)に示したように、アナログ出力端子Aは、この出力端子A(同一ノード)の各種電圧出力状態(Hi-Z状態、0.5V、1V、1.5V、2V)を2ビットで表現した電圧値情報を持つ。例えば、電源電圧信号ViがH(=3

V) で且つ入力信号 D 1、D 0 が L L のときにはアナログ出力電圧 A [1 : 0] は L L、すなわち 0. 5 V を出力していることを意味する。同様に、入力信号 D 1、D 0 が L H のときにはアナログ出力電圧 A [1 : 0] は L H、すなわち 1 V を、また入力信号 D 1、D 0 が H L のときにはアナログ出力電圧 A [1 : 0] は H L、すなわち 1. 5 V を、更に入力信号 D 1、D 0 が H H のときにはアナログ出力電圧 A [1 : 0] は H H、すなわち 2 V を出力していることを意味する。また、電源電圧信号 V i が L (H i - Z 状態) のときには、入力信号 D 1、D 0 に依存せずにアナログ出力電圧 A [1 : 0] は X、すなわち不定となるように論理記述がされている。

【 0 0 4 9 】

図 4 (c) に示されるように、本実施の形態では、入力信号 V i、D 1、D 0 の各種論理変化に対するアナログ出力電圧 A [1 : 0] の論理遅延情報として、下記に示すように 3 種類の遅延値 A t r、A s t、A o f f が用意されている。

【 0 0 5 0 】

A t r : 電源が入力された状態で入力信号 D 1、D 0 が変化した場合にアナログ出力電圧 A [1 : 0] が安定するまでの時間

A s t : 電源が入力されていない状態から入力された場合にアナログ出力電圧 A [1 : 0] が安定するまでの時間

A o f f : 電源が入力された状態から電源供給がオフした場合にアナログ出力電圧 A [1 : 0] が不定になるまでの時間

従って、本実施の形態の D A 変換セルのセルライブラリデータベース構造では、アナログ出力信号に対しても、そのアナログ出力電圧を複数ビットで記述したので、従来論理記述やタイミング記述が困難であった D A 変換器に対しても、デジタルのシミュレーション環境上でタイミング検証を行うことが可能である。

【 0 0 5 1 】

尚、本実施の形態では、D A 変換セルを例示したが、A D 変換セル等は、入力信号がアナログ信号のため、この入力信号を複数ビット表現して、その入力信号の電圧値情報を付加すれば、デジタルのシミュレーション環境上でタイミング検証を行うことが可能である。

【 0 0 5 2 】

このように、本実施の形態によれば、デジタルのシミュレーション環境上で、種々のアナログ回路をデジタル回路と混載させたシステムでの論理検証やタイミング検証を行うことが可能である。

【 0 0 5 3 】

(第 5 の実施の形態)

続いて、本発明の第 5 の実施の形態を図 5 に基づいて説明する。本実施の形態では、基本回路である NAND セルのデジタル出力信号をも複数ビット表現した例を示している。

【 0 0 5 4 】

CMOS 回路のデジタル出力電圧値は、一般に電源電圧値と等しくなるので、デジタル出力信号を複数ビット表現する場合は、入力電源も同時に複数ビット表現して、その入力電源の電圧値が表せるようにすることが望ましい。

【 0 0 5 5 】

図 5 (a) は NAND セルのシンボルを示し、信号 A、B と、電源電圧信号 V [1 : 0] とが入力される。同図 (b) では、NAND セルのデジタル出力信号 Y を Y [2 : 0] のように 3 ビットで表現した電圧値情報とする。この 3 ビット表現の電圧値情報のうち、上位 2 ビットは電源電圧信号 V [1 : 0] と同じ情報が付加され、下位 1 ビットが通常の論理情報とされている。例えば、電源電圧信号 V [1 : 0] が HH (電圧値 = 1.8 V) の場合に、入力信号 A、B が HL のときはデジタル出力信号 Y [2 : 0] は HHH と表す。この表現では、デジタル出力信号 Y [2 : 0] の上位 2 ビットをみれば電源電圧値が 1.8 V であることが判り、その下位 1 ビットをみれば出力論理が H であることが判る。

【 0 0 5 6 】

尚、本実施の形態では、1 本の出力信号 Y の電圧値を複数ビットで表現したが、複数の出力信号や、1 又は複数のデジタル又はアナログ入力信号、複数の電源電圧に対して各々同時に複数ビットで表現したセルライブラリのデータベース記述を行うことも可能である。

【 0 0 5 7 】

また、以上説明した各実施の形態では、電源電圧信号 $V[1:0]$ の電圧値情報を簡単化のために4値とし、2ビットで表現したが、その他、表現したい電圧値の数に応じて3ビット以上の複数ビットで表現しても良いのは勿論である。

【0058】

入力信号を複数ビット表現として、この入力信号に電圧値情報を付加する場合は、耐電圧検証の際に、この入力信号に付加された電圧値に基づいた耐電圧検証が可能である。このような実施の形態を次に述べる。

【0059】

(第6の実施の形態)

図6は、本発明の第6の実施の形態の耐電圧検証システムの要部を示す。

【0060】

同図は、複数の基本回路のうち図1に示したNANDセルと全く同等の機能を持つセルライブラリを例示する。同図(a)～(c)のシンボル、論理情報及び論理遅延情報は、図1(a)～(c)と同じである。図6では、同図(d)に示したように、NANDセルの耐電圧情報が新たに追加されている。この耐電圧情報は、本セルが許容する最大電源電圧を意味する。本実施の形態では、入力電源の電圧値 $V[1:0]$ が複数ビット表現化されているので、容易く耐電圧を検証することが可能である。

【0061】

例えば、図6(b)に示すように、電源電圧 $V[1:0]$ がLHの場合は1.2V、電源電圧 $V[1:0]$ がHLの場合は1.5V、電源電圧 $V[1:0]$ がHHの場合は1.8Vの電源電圧が供給されていることを意味するので、NANDセルの耐電圧が同図(d)に示すように1.7Vの場合には、電源電圧 $V[1:0]$ がHHの場合にはエラーを返すか、又は論理が不定(X)を出力するようになしておけば、論理シミュレーション時又はタイミングシミュレーション時の耐電圧異常を直ちに判定することが可能である。

【0062】

尚、本実施の形態では、電源電圧信号 $V[1:0]$ が電圧情報を持つ例を示したが、入力信号A、Bをも複数ビット表現として電圧情報を付加することも可能

である。この場合には、耐電圧検証の際、入力信号 A、B の電圧値に対する耐電圧検証も同時に可能となる。

【0 0 6 3】

【発明の効果】

以上説明したように、請求項 1 ～ 6 記載の発明のセルライブラリデータベースによれば、少なくとも 1 つの情報端子に複数ビット表現の電圧値情報を与え、この電圧値情報別に入出力端子間の論理情報を個別に記述したので、デジタル設計環境において電圧値情報を含めた論理検証が可能である。

【0 0 6 4】

特に、請求項 4 記載の発明によれば、複数ビットで表現した電圧値情報を有する情報端子をアナログの入力端子又は出力端子とすると、アナログ回路とデジタル回路とが混在した半導体集積回路の論理検証やタイミング検証が可能である。

【0 0 6 5】

また、請求項 5 ～ 9 記載の発明によれば、情報端子に与えられる複数ビットの電圧値情報別に論理遅延情報や耐電圧情報を持つので、この情報端子が電源端子である場合には、動作時に電源電圧を動的に変更する可変電源システムでの L S I の設計支援装置に対して、最適な論理検証、タイミング検証、及び耐電圧検証環境を提供でき、また情報端子が信号の入力端子又は出力端子である場合には、入力信号又は出力信号の持つ電圧に対する耐電圧検証が可能である。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施の形態の N A N D セルのセルライブラリデータベースを示す図である。

【図 2】

本発明の第 2 の実施の形態の電圧変換セルのセルライブラリデータベースを示す図である。

【図 3】

本発明の第 3 の実施の形態のセルライブラリの動作記述を用いた可変電源システムのシミュレーション回路を示す図である。

【図 4】

本発明の第 4 の実施の形態の D A 変換セルのセルライブラリデータベースを示す図である。

【図 5】

本発明の第 5 の実施の形態の N A N D セルのセルライブラリデータベースを示す図である。

【図 6】

本発明の第 6 の実施の形態の耐電圧検証可能な N A N D セルのセルライブラリデータベースを示す図である。

【図 7】

従来の N A N D セルのセルライブラリデータベースを示す図である。

【図 8】

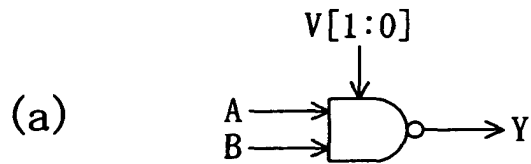
本出願人が提案した N A N D セルのセルライブラリデータベースを示す図である。

【符号の説明】

1	N A N D ゲート
2	電圧変換セル
A、B、R e q 1、 R e q 0、D 1、D 0	入力端子
V [1 : 0]	電源端子
Y	デジタル出力端子
A [1 : 0]	アナログ出力端子

【書類名】 図面

【図 1】



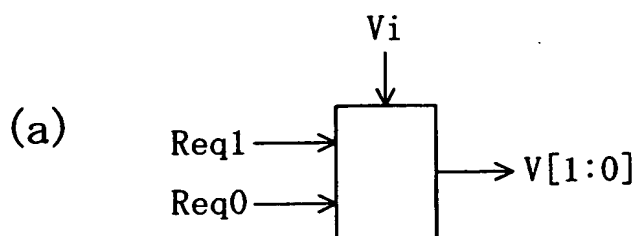
(b)

V[1:0] (出力状態)		A	B	Y
LL	(Hi-Z)	don't care	don't care	X
LH	(1.2V)	L	L	H
HL	(1.5V)	L	H	H
HH	(1.8V)	H	L	H
		H	H	L

(c)

入力信号遷移分類		V[1:0]の状態別遅延値(ns)		
V[1:0]	(A, B)	LH (1.2V)	HL (1.5V)	HH (1.8V)
≠ LL	LH→HH	Alh(Vlh)	Alh(Vhl)	Alh(Vhh)
	HH→LH	Ahl(Vlh)	Ahl(Vhl)	Ahl(Vhh)
	HL→HH	Blh(Vlh)	Blh(Vhl)	Blh(Vhh)
	HH→HL	Bhl(Vlh)	Bhl(Vhl)	Bhl(Vhh)
LL→≠LL	XX	Vst(Vlh)	Vst(Vhl)	Vst(Vhh)
≠LL→LL	XX	Voff(Vlh)	Voff(Vhl)	Voff(Vhh)

【図 2】



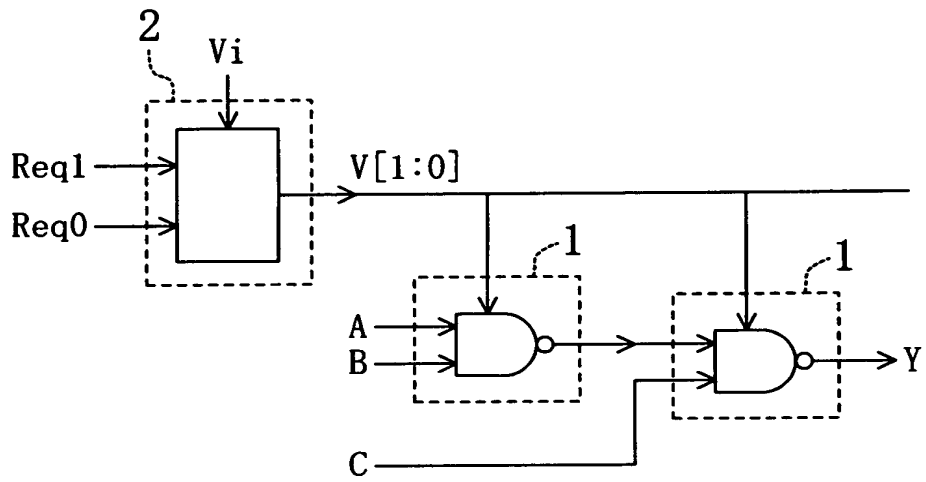
(b)

Vi (入力状態)	Req1	Req0	V[1:0] (出力状態)
L (Hi-Z)	don't care	don't care	LL (Hi-Z)
H (3V)	L	L	LL (Hi-Z)
	L	H	LH (1.2V)
	H	L	HL (1.5V)
	H	H	HH (1.8V)

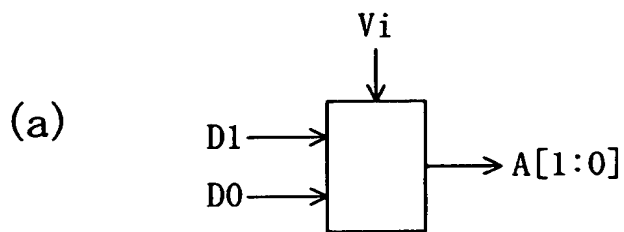
(c)

入力信号遷移分類		遅延値(ns)
Vi	(Req1, Req0)	
H	LL→LH LL→HL LL→HH	Vst
	LH→LL HL→LL HH→LL	Voff
	上記以外の 状態変化	Vtr
L→H	≠LL	Vist
H→L		Vioff

【図 3】



【図 4】



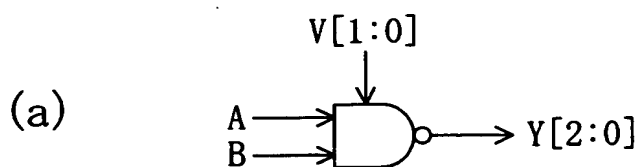
(b)

Vi (入力状態)	D1	D0	A[1:0] (出力状態)
L (Hi-Z)	don't care	don't care	X (Hi-Z)
H (3V)	L	L	LL (0.5V)
	L	H	LH (1V)
	H	L	HL (1.5V)
	H	H	HH (2V)

(c)

入力信号遷移分類		遅延値 (ns)
Vi	(D1, D0)	
H	全ての状態変化	Atr
L→H	全ての状態	Ast
H→L	全ての状態	Aoff

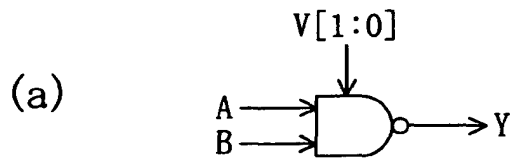
【図 5】



(b)

V[1:0] (出力状態)	A	B	Y[2:0]
LL (Hi-Z)	don' t care	don' t care	XXX
LH (1.2V)	L	L	LHH
	L	H	LHH
	H	L	LHH
	H	H	LHL
HL (1.5V)	L	L	HLH
	L	H	HLH
	H	L	HLH
	H	H	HLL
HH (1.8V)	L	L	HHH
	L	H	HHH
	H	L	HHH
	H	H	HHL

【図 6】



(b)

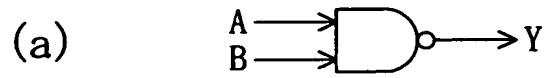
V[1:0] (出力状態)	A	B	Y
LL (Hi-Z)	don't care	don't care	X
LH (1.2V)	L	L	H
HL (1.5V)	L	H	H
HH (1.8V)	H	L	H
	H	H	L

(c)

入力信号遷移分類		V[1:0]の状態別遅延値(ns)		
V[1:0]	(A, B)	LH (1.2V)	HL (1.5V)	HH (1.8V)
≠ LL	LH → HH	Alh(Vlh)	Alh(Vhl)	Alh(Vhh)
	HH → LH	Ahl(Vlh)	Ahl(Vhl)	Ahl(Vhh)
	HL → HH	Blh(Vlh)	Blh(Vhl)	Blh(Vhh)
	HH → HL	Bhl(Vlh)	Bhl(Vhl)	Bhl(Vhh)
LL → ≠ LL	XX	Vst(Vlh)	Vst(Vhl)	Vst(Vhh)
≠ LL → LL	XX	Voff(Vlh)	Voff(Vhl)	Voff(Vhh)

(d) 耐電圧: 1.7V

【図 7】



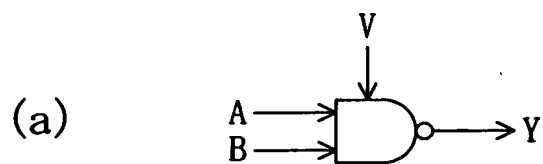
(b)

A	B	Y
L	L	H
L	H	H
H	L	H
H	H	L

(c)

A→Y	遅延値AYns
B→Y	遅延値BYns

【図 8】



(b)

V	A	B	Y
L	don' t care	don' t care	X
H	L	L	H
	L	H	H
	H	L	H
	H	H	L

(c)

A→Y	遅延値AYns
B→Y	遅延値BYns
V→Y	遅延値VYns

【書類名】 要約書

【要約】

【課題】 セルライブラリデータベースにおいて、複数の電源電圧に対する論理遅延情報を持って、電源電圧が任意に変更される可変電源システムでの L S I のタイミング検証を行う。

【解決手段】 電源の電圧情報 V を複数ビット V [1 : 0] で表現し、例えば複数の電源電圧情報 L H (1 . 2 V) 、 H L (1 . 5 V) 、 H H (1 . 8 V) 別に、入力信号 A、B の変化時から出力信号 Y が変化するまでの遅延時間 A l h (V l h) ~ B h l (V h h) が記述されたセルライブラリデータベース構造とする。これにより、可変電源システムにおいて、電源電圧を動的に変更しながら動作させる場合のタイミング検証を行うことができる。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 5 8 2 1]

1. 変更年月日 1 9 9 0 年 8 月 2 8 日

[変更理由] 新規登録

住 所 大阪府門真市大字門真 1 0 0 6 番地
氏 名 松下電器産業株式会社